



LSI配線のRC特性改善に向けた銅配線プロセスインテグレーション技術に関する研究

著者	田上 政由
号	59
学位授与機関	Tohoku University
学位授与番号	工博第5105号
URL	http://hdl.handle.net/10097/62714

氏 名	た がみ まさ よし 田 上 政 由
授 与 学 位	博士 (工学)
学 位 授 与 年 月 日	平成27年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 知能デバイス材料学専攻
学 位 論 文 題 目	LSI 配線の RC 特性改善に向けた 銅配線プロセスインテグレーション技術に関する研究
指 導 教 員	東北大学教授 小池 淳一
論 文 審 査 委 員	主査 東北大学教授 小池 淳一 東北大学教授 貝沼 亮介 東北大学教授 和田山 智正

論 文 内 容 要 旨

LSI の微細化に伴う配線遅延の増大を抑制するため、遅延に影響を及ぼす配線抵抗(R)、並びに配線間容量(C)の低減が必要となる。これに対し、従来用いられてきたアルミニウム(Al)配線、並びにシリコン酸化膜(SiO₂)層間絶縁膜に代えて、配線抵抗の低減に向けた銅(Cu)配線の導入、並びに配線間容量の低減に向けた低誘電率材料(Low-k)層間膜の導入が行われてきた。しかしながら、極微細 Cu 配線においては、Cu 中の電子の粒界散乱や表面・界面散乱確率の増大に伴う細線効果、及び配線断面積に占めるバリアメタルの割合増加による Cu 断面積減少に伴うバリア効果により、配線比抵抗が増大する結果、配線抵抗が増大する問題が発生している。一方、Low-k 膜の導入に対しても、配線中ストレスの増大や配線形成プロセス中に用いるプラズマプロセスに伴うプラズマダメージの影響により、配線間容量が低減できない問題が発生している。これに対して、新材料の導入による配線抵抗、配線間容量それぞれの低減に向けた取り組みは行われているものの、配線遅延の改善に対して重要となる配線 RC 積の低減に向けた系統的な研究は数少ない。そこで、本研究の目的は極微細 Low-k/Cu 配線構造に対して、新材料のみならず、配線構造やプロセスインテグレーション技術との組合せにより配線 RC 積の低減を実現することである。

第2章では、配線間容量低減プロセスインテグレーション技術として、有機ポリマーLow-k 層間膜構造の熱ストレス信頼性劣化を改善するために、ストレスコントロールレイヤー(SCL)を提案して、熱ストレス信頼性改善に対して効果があることを実証した。従来、有機ポリマーLow-k 層間膜を配線層間膜として用いた場合、有機ポリマーLow-k 膜が有する熱膨張係数(CTE)が 65ppm/°Cと従来 SiO₂(0.5ppm/°C)よりも大きい影響により、プロセス中の高温熱サイクルやパッケージング後の低温熱サイクルによりビア抵抗特性が劣化することが報告されている。具体的には、熱サイクルによりビア中 Cu が塑性変形を発生し、ビア中にボイドが発生することにより、ビア抵抗の増大が発生する。そこで、本研究においては、配線層間膜とビア層間膜の間に、SiOC 等の絶縁膜からなる SCL を挿入することにより、熱サイクルによるビア抵抗特性が変動することを明らかにした。

この際、低温熱サイクル印加時に、ビア中 Cu の塑性変形のみでなく、ビア周辺の有機ポリマーLow-k 膜にも塑性変形が発生し、層間膜中にもボイドが発生することを見出した。この現象に対して、応力シミュレーションを実施した結果、SCL の挿入により Cu、有機ポリマーLow-k 層間膜中のストレスが変化することを明らかにした。これらの結果から、SCL の挿入により、ビア Cu 中やビア周辺有機ポリマーLow-k 層間膜中に発生する応力が変化することにより、ビア抵抗特性や層間膜中ボイド特性が変化するものと考えられる。そして、Cu(CTE \sim 18ppm/ $^{\circ}$ C)及び有機ポリマーLow-k 膜の CTE に SCL の CTE を近づけることにより、熱サイクル中の Cu ボイド及び層間膜ボイドの抑制が可能となり、有機ポリマーLow-k 層間膜 Cu 配線の熱サイクル信頼性を向上させることを実現した。これにより、有機ポリマーLow-k 層間膜を用いた低配線間容量 Low-k/Cu 配線の実現が可能となることを明らかにした。

第3章では、配線間容量低減プロセスインテグレーション技術として、ポーラス SiOCH Low-k 膜を配線層間膜として用いた配線構造に対して、プラズマプロセスダメージと膜中への吸湿の影響による配線間容量増大インパクトを明らかにし、その結果からプラズマダメージと吸湿の影響を抑制してポーラス SiOCH Low-k 層間膜/Cu 配線構造に対する配線間容量最小化プロセスを実現した。まず、反応性イオンエッチング(RIE)時のプラズマにより SiOCH 膜表面に SiO₂系の表面ダメージ層が発生することを観察し、このダメージ層を除去するために、ウェットプロセスを実施した。その結果、このウェットプロセスによりプラズマダメージ層を EELS 法の検出限界以下までに除去可能であることを明らかにした。さらに、Cu 表面処理プロセスに用いられてきたアンモニアプラズマ処理を実行した際に発生する約 8nm 厚の SiO₂系ダメージ層に対して、アンモニアプラズマに代えてアンモニアアニール処理を用いることにより、ダメージ層の厚さを 1nm 未満に低減可能であることを明らかにした。また、これらアンモニアプラズマ、アンモニアアニールにより形成されたプラズマダメージ大、小のサンプルに対して、上層部の配線形成プロセスを実行して形成した多層配線構造に対して、吸湿低減アニールプロセスを上層配線形成後に実施することにより、プラズマダメージ大小並びに吸湿高低において配線間容量が変動することを確認した。得られた配線間容量値と配線構造解析から実行した容量シミュレーション結果を比較することにより、プラズマダメージ層における吸湿高低時の比誘電率(k 値)の算出を実施した。その結果、実際に形成した配線に対して、アンモニアプラズマによるダメージとダメージ層に対する吸湿により、ダメージ層の k 値が成膜直後の 2.4 から 7.6 まで増大する一方、アンモニアアニールによるダメージ低減により高吸湿状態においても k 値は 3.2 まで低減可能となること、更に吸湿低減アニールプロセスとの組み合わせにより、ポーラス SiOCH Low-k 膜の成膜直後の k 値である 2.4 まで低減が可能となることを明らかにした。以上の結果から、ダメージ除去ウェットプロセス、アンモニアアニール Cu 表面処理プロセスと吸湿低減アニールプロセスを組み合わせた配線プロセスインテグレーションにより、ポーラス SiOCH Low-k 層間膜 Cu 配線構造における配線間容量を最小化できる可能性が高いことを明らかにした。

第4章では配線抵抗低減プロセスインテグレーション技術として、細線効果の低減を目的として、物理気相成長(PVD)-Ru/Ti バリア構造を提案し配線抵抗低減を含めた配線特性について検証を行い、極微細 Cu 配線に対して細線効果低減による配線抵抗低減を実現した。まずスパッタ Ru の成膜条件(圧力、パワー、基板温度)を制御することにより、Ti 上に TaN 上と同等の配向特性を有する Ru(001)膜が得られることを実証した。さらに、Ru/Ti バリア構造において、微量 Ti が Ru 膜中へ拡散して Cu 拡散経路となる Ru の粒界中に析出することにより、Ru 膜自身が Cu 拡散バリア特性を有することを明らかにした。この結果から、従来の Ru 系バリア構造では Cu の層間膜中への拡散を抑制するために、Ru 膜の下に数 nm のバリアメタルが必要とされてきたのに対して、Ru 膜自身が Cu 拡散バリア特性を有するために Ti の膜厚を薄膜化して、合計バリアメタル膜厚を薄膜化できる可能性について明らかにした。さらに、Ru/Ti バリア構造を用いることにより、配線幅 70nm の配線に対して従来バリアメタル構造である PVD-Ta/TaN 構造と比較して約 12%の配線抵抗低減を達成した。この配線抵抗低減は Ru(001)と Cu(111)間の格子不整合が約 6%と従来の Cu(111)/Ta(110)間の 26%よりも小さいことにより、Cu/バリア界面における電子の非弾性散乱を低減していることが要因と考えられる。さらに、Ru/Ti バリア構造を用いることによる EM 信頼性も改善可能であることも明らかにした。これらの結果から、Ru/Ti バリアメタル構造は細線効果の低減、並びに Ru 膜自身のバリア性確保によるバリア効果の低減により、配線抵抗低減に対して有効であることが結論づけられた。

最後に第5章において、第3章で明らかにしたポーラス SiOCH Low-k 層間膜構造のプラズマダメージ、吸湿低減プロセスにより配線間容量低減と組合せながら、Cu 配線の細線・バリア効果を抑制することで、配線 RC 積の低減を実現可能となる化学気相成長(CVD)ハイブリッドバリア構造を提案して、ハイブリッドバリア(絶縁膜/メタル)材料検証と実際に配線構造を形成して配線 RC 特性改善検証を実施し、Cu/ポーラス SiOCH Low-k 配線構造における配線 RC 積の低減を達成した。従来 PVD バリアメタル構造において Cu の拡散バリア性の維持や Cu 埋め込み性の改善のためにバリアメタルの薄膜化が困難であったのに対して、CVD ハイブリッドバリア構造では、CVD メタルバリアと CVD 絶縁膜バリアの積層構造を有するため、絶縁膜バリアにより Cu バリア性能を補完してバリアメタルの薄膜化が可能となる結果、配線中における Cu の断面積を増大させることが可能となり、バリア効果の改善により配線抵抗低減が期待できる。まず、配線抵抗・容量シミュレーションにより、配線 RC 積低減が可能な CVD ハイブリッドバリア構造について材料特性ターゲットを設定した。その結果、バリアメタル厚の 2nm 低減化、絶縁膜バリアを $k=5.0$ で 3nm 厚未満にすることで 10%の配線 RC 特性改善が可能になることを算出した。この CVD ハイブリッドバリア構造を実現するために、CVD-SiCN 膜上に Ar プラズマ表面処理を実行した後、CVD-Ru 成膜を行うことにより、連続性・平坦性の高い Ru 膜が得られることを明らかにした。また、CVD-Ru 膜が Cu 膜と良好な濡れ性を有していることを明らかにして、極微細配線に対して優れた Cu 埋め込み特性が期待できることを明らかにした。さらに、CVD-Ru/SiCN ハイブリッドバリア構造が良好な Cu

バリア性、酸素バリア性を有することを明らかにした。実際に多層配線構造を形成して、配線 RC 積の低減を検証するのに際して、第 3 章で提案したポーラス SiOCH Low-k 層間膜に対する配線間容量最小化プロセスを用いて、CVD ハイブリッドバリア構造を有する Cu 配線の形成を行った。その結果、コンフォーマル性能の高い SiCN 絶縁膜バリア、Ru メタルバリアが配線側壁と底に形成可能であることを明らかにし、Ru メタルバリア膜を 1nm 厚まで薄膜化を行った場合、Cu 断面積を 17.9%増大させることが可能であることを明らかにした。その結果、メタルバリア薄膜化によるバリア効果改善により、-20.8%の配線抵抗低減と、SiCN 絶縁膜バリア挿入による +7.8%の容量増大によって、配線 RC 積の改善に対して-14.6%の効果を明らかにした。配線構造の観察から実施した配線抵抗・容量シミュレーション結果から、最初に設定した RC 特性改善ターゲットを達成可能であることを明らかにした。以上より、今回提案を行った CVD ハイブリッド Ru/SiCN バリア構造は、将来の微細配線に対して配線 RC 積を低減するための非常に有効な構造であることを明らかにした。

以上より、本研究で提案を行った配線プロセスインテグレーション、構造を用いることにより、極微細 Low-k/Cu 配線において配線 RC 積の低減が可能となり、配線遅延の低減が達成できる可能性について明らかにした。

論文審査結果の要旨

本論文は LSI の極微細 Low-k/Cu 配線構造に対して、新材料のみならず、配線構造やプロセスインテグレーション技術を融合させることにより、LSI の配線遅延低減に向けた配線 RC 積の低減を実現するために研究したものである。

近年、極微細 Low-k/Cu 配線においては、Cu 配線の細線効果やバリア効果による配線抵抗増大、並びに Low-k 膜の配線中ストレスの増大やプラズマダメージ・吸湿の影響による配線間容量の増大により、配線 RC 積の低減が困難になっている。これを解決するためには、新材料の導入のみならず、配線構造やプロセスインテグレーション技術との融合により配線 RC 積を低減する必要がある。本研究では、配線間容量低減構造、配線抵抗低減構造、および配線 RC 積低減構造の提案と検証を行い、これらの構造を用いたプロセスインテグレーション技術について研究を行った。

まず、有機ポリマーLow-k 層間膜構造の熱ストレス信頼性劣化を改善するために、配線層間膜とビア層間膜の間に、SiOC 絶縁膜からなる SCL 層を挿入した。その結果、ビア Cu 中、有機ポリマー層間膜中のストレスを変化させて熱サイクルによるビア特性の劣化を改善できることを明らかにした。また、Cu(CTE \sim 18ppm/C)及び有機ポリマーLow-k 膜(CTE \sim 65ppm/C)の CTE に SCL の CTE を近づけることにより、熱サイクル中に形成される Cu ボイド及び層間膜ボイドの抑制が可能となり、有機ポリマーLow-k 層間膜 Cu 配線の熱サイクル信頼性を向上させることを実現した。

また、ポーラス SiOCH Low-k 膜を配線層間膜として用いた配線構造に対して、従来のアンモニアプラズマによるダメージ層の形成と、それに起因する吸湿により、ダメージ層の k 値が初期値の 2.4 から 7.6 まで増大していることを明らかにした。これに対して、アンモニアアニールによってダメージ低減と吸湿低減が実現できることを見出し、ポーラス SiOCH Low-k 膜の k 値を初期値である 2.4 まで低減できた。以上の結果から、ポーラス SiOCH Low-k 層間膜 Cu 配線構造における配線間容量を最小化できる方法を明らかにした。

配線抵抗低減プロセスインテグレーション技術として、細線効果による抵抗上昇の抑制を目的として、PVD-Ru/Ti バリア構造を提案し配線抵抗低減を含めた配線特性について調査した。その結果、Ti が Ru 粒界中へ微量拡散することによって Ru 膜自身のが Cu の拡散に対するバリア性を発現することを明らかにし、Ru(001)と Cu(111)間の格子不整合が約 6%と従来の Cu(111)/Ta(110)間の 26%よりも小さいことにより、従来バリアメタル構造である PVD-Ta/TaN 構造と比較して約 12%の配線抵抗低減を達成した。

最後に、CVD ハイブリッドバリア構造を提案して、CVD-SiCN 膜上に Ar プラズマ表面処理を施した後、CVD-Ru 成膜を行うことにより、連続性・平坦性の高い Ru 膜が得られることを明らかにした。実際に配線構造を形成した結果、Cu 断面積を 17.9%増大させることが可能であることを明らかにした。さらに、メタルバリアの薄膜化によるバリア効果低減により、-20.8%の配線抵抗の減少と、SiCN 絶縁膜バリア挿入による+7.8%の容量増大によって、配線 RC 積を 14.6%減少することに成功した。

得られた成果は、極微細 LSI 配線の遅延改善に向けての基礎的知見とプロセスインテグレーション技術に対する非常に重要な指針を提供した。

よって、本論文は博士(工学)の学位論文として合格と認める。